

(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication : **2 750 534**
(à n'utiliser que pour les
commandes de reproduction)

(21) N° d'enregistrement national : **96 08007**

(51) Int Cl⁶ : H 01 L 21/336, H 01 L 21/84

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 27.06.96.

(30) Priorité :

(43) Date de la mise à disposition du public de la
demande : 02.01.98 Bulletin 98/01.

(56) Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule.*

(60) Références à d'autres documents nationaux
apparentés :

(71) Demandeur(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ETABLISSEMENT DE CARACT SCIENT TECH
ET INDUST — FR.

(72) Inventeur(s) : DELEONIBUS SIMON.

(73) Titulaire(s) :

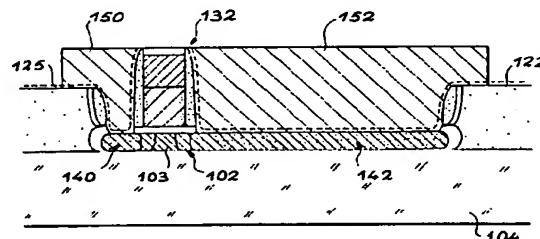
(74) Mandataire : BREVATOME.

(54) TRANSISTOR ET PROCEDE DE REALISATION D'UN TRANSISTOR A CONTACTS ET A ISOLATION DE
CHAMP AUTO-ALIGNES.

(57) L'invention concerne un transistor MOS et son pro-
cédé de réalisation.

Le transistor comporte une source (140), un canal (103)
et un drain (142) formés sur une portion de film (102) de si-
licium d'une structure de type silicium sur isolant, une cou-
che (122) d'isolation de champ entourant le film (102), une
structure de grille (132) à flancs isolés formés au-dessus
du canal, et des contacts (150, 152) de source et de drain
ménagés sur la portion de film (102) de silicium entre la
couche d'isolation de champ (122) et la structure de grille
(132). Selon l'invention, les contacts (150, 152) de source
et de drain sont auto-alignés sur la structure de grille (132)
et la couche d'isolation de champ (122) et sont directement
disposés contre la structure de grille.

Application à la fabrication de circuits intégrés.



FR 2 750 534 - A1



TRANSISTOR ET PROCEDE DE REALISATION D'UN TRANSISTOR A
CONTACTS ET A ISOLATION DE CHAMP AUTO-ALIGNES

DESCRIPTION

5

Domaine technique

La présente invention se rapporte à un transistor à effet de champ pourvu d'une isolation de champ et de prises de contact auto-alignées par rapport à sa région active, et à un procédé de réalisation d'un
10 tel transistor.

L'invention concerne plus précisément la fabrication de ce transistor sur un substrat de type silicium sur isolant, désigné dans la suite du texte
15 par SOI (Silicon on Insulator).

L'invention trouve des applications en microélectronique pour la fabrication de dispositifs du type MOS (Metal Oxyde Semiconductor) et en particulier pour des circuits intégrés aptes à être utilisés dans
20 un environnement soumis à des rayonnements.

Etat de la technique antérieure

L'état de la technique le plus proche de l'invention est illustré par la figure 1 annexée. Cette
25 figure montre de façon schématique et en coupe la structure d'un transistor 10 de type MOS réalisée sur un substrat SOI. La région active 12 du transistor 10 est formée dans un film mince de silicium 14 recouvrant une couche enterrée d'oxyde de silicium SiO₂ 16.

30 La région active 12 est délimitée par des pavés épais d'oxyde de silicium 17 du type LOCOS (Localized Oxidation of Silicon) formés dans le film mince 14 de silicium. Les pavés 17 isolent mutuellement différents

transistors réalisés sur le même substrat SOI. Une structure de grille 18 comprend un empilement avec, dans l'ordre, une couche d'isolant de grille 20, une grille 22, une couche de shunt 24 formant une prise de contact sur la grille 20 et des espaceurs latéraux 26 formés sur les flancs de l'empilement.

La structure de grille 18 est disposée au-dessus du canal 28 du transistor et des régions de source 30 et de drain 32 sont formées par dopage du film mince 14 de part et d'autre de la structure de grille.

Une épaisse couche 34 de verre de type BPSG (borophosphosilicate glass) recouvre la région active 12 et enrobe la structure de grille 18.

Des trous de contact 36, 38 pratiqués dans la couche de verre 34, à l'aplomb de la source 30 et du drain 32, et un métal 40 formé dans les trous 36, 38 forment des voies conductrices reliant la source et le drain respectivement à des lignes d'interconnexion métalliques 42, 44 formées sur la couche 34.

La réalisation d'un transistor conforme à la figure 1 nécessite un nombre élevé d'étapes de photolithographie pour définir ses éléments constitutifs.

Une première étape est nécessaire pour la formation des pavés d'oxyde de champ 17. Une deuxième étape de photolithographie permet la réalisation de la structure de grille 18. Enfin, une étape de photolithographie est nécessaire pour pratiquer dans la couche de verre 34 les trous de contact.

La formation de la structure de grille 18 comprend le dépôt de la couche d'isolant de grille 20, de la couche de grille 22 et de la couche de shunt 24,

puis la gravure de ces couches selon un masque définissant la forme et les dimensions de la structure de grille. Le positionnement du masque définissant la grille par rapport au masque utilisé pour définir les pavés d'oxyde est délicat pour des dispositifs à forte
5 intégration. Ainsi, le procédé ne permet pas un alignement très précis de la grille sur la zone active et on note des problèmes d'inversion du type de porteurs sur les flancs de la zone active. Ces
10 problèmes sont dus notamment au couplage de la grille avec les flancs de la zone active lorsque la zone de champ est partiellement évidée de l'isolant de champ.

Une autre difficulté de la réalisation du transistor de la figure 1 tient à l'alignement des
15 trous de contact sur les régions de source et de drain. Cette difficulté constitue également une limitation à la miniaturisation des dispositifs.

Ainsi, un but de l'invention est de proposer un transistor et son procédé de réalisation sur un
20 substrat SOI qui ne présente pas les difficultés évoquées ci-dessus.

Un but est en particulier de proposer un procédé dans lequel l'alignement de la grille par rapport à la région active comprenant le canal, d'une
25 part, et l'alignement des prises de contact par rapport à la grille, d'autre part, sont automatiques. Un but de l'invention est encore de proposer un procédé avec un minimum d'étapes de photolithographie.

Un but de l'invention est aussi de proposer un
30 transistor autorisant le contrôle total en faible inversion. Le régime de faible inversion est le régime de conduction du transistor sous le seuil de conduction en régime de forte inversion. On considère que le

contrôle total en faible inversion est obtenu lorsqu'il n'y a pas de fuite de courant dans ce régime de fonctionnement.

L'invention a enfin pour but de proposer un transistor capable de fonctionner dans un environnement dit hostile, soumis à un rayonnement ionisant.

Exposé de l'invention

Pour atteindre les buts mentionnés ci-dessus, l'invention a plus précisément pour objet un procédé de réalisation d'un transistor sur un support de type SOI comprenant une couche d'oxyde de silicium isolant, dite couche d'oxyde enterrée et un film mince de silicium recouvrant la couche d'oxyde enterrée, le procédé comprenant les étapes successives suivantes :

- a) formation sur le film mince de silicium d'un empilement comprenant, dans l'ordre, une couche d'isolant de grille, et une couche de matériau de grille,
- b) formation sur l'empilement d'un premier masque de gravure selon un motif correspondant à une zone active du transistor,
- c) gravure de la couche de matériau de grille, de la couche d'isolant de grille, et du film mince, pour former une colonne avec des premiers flancs définis selon le motif du premier masque de gravure,
- d) formation d'une couche de matériau isolant électrique autour de la colonne et aplanissement de cette couche avec arrêt sur la colonne,
- e) gravure de la couche de matériau de grille de la colonne selon un deuxième masque pour former une structure de grille avec des deuxièmes flancs,

- f) isolation électrique des flancs de la structure de grille,
- g) formation de régions de source et de drain dans le film mince par implantation d'impuretés,
- 5 h) formation auto-alignée sur la structure de grille de prises de contact sur les régions de source et de drain.

Le procédé de l'invention est particulièrement bien adapté à des substrats de type SOI pour lesquels
10 le film mince présente une épaisseur inférieure à 20 nm. Sa mise en oeuvre ne se limite cependant pas à ces épaisseurs.

Par ailleurs, l'isolation électrique des flancs de la grille et la formation de prises de contact auto-alignées sur la grille permet d'éviter la contrainte
15 d'un contrôle précis de la position de trous de contact dans la couche de matériau isolant électrique.

On peut noter également que le procédé de l'invention ne nécessite que deux étapes de
20 photolithographie pour former le transistor.

Selon un aspect de l'invention, le procédé peut en outre comporter, lors de l'étape a), la formation d'une couche de protection au-dessus de la couche de matériau de grille, la couche de protection étant
25 également gravée lors de l'étape c), et formant une couche d'arrêt lors de aplanissement de la couche de matériau isolant à l'étape d). La couche de protection est éliminée après l'étape d).

Une fonction de la couche de protection est
30 également de protéger la partie supérieure de la grille de toute oxydation. Ainsi, après l'élimination de la couche de protection, la prise de contact sur la grille

avec une ligne de connexion ou avec une couche de matériau conducteur dit de shunt est facilitée.

En effet, selon un autre aspect de l'invention, le procédé peut comporter en outre après l'étape d) et la mise à nu du matériau de grille, la formation d'une
5 couche dite de shunt recouvrant la couche de matériau isolant électrique et venant en contact avec le matériau de grille, la couche de shunt étant également gravée lors de l'étape e) selon le deuxième masque de
10 gravure, et des deuxièmes flancs de la couche de shunt, formés lors de l'étape e), étant également isolés électriquement lors de l'étape f).

La couche de shunt, de préférence en un polysiliciure de métal, forme une ligne de connexion
15 pour l'adressage de la grille.

Selon une mise en oeuvre particulière du procédé, celui-ci peut comporter en outre, avant l'étape d) une oxydation des flancs de la colonne formée à l'étape c), pour les recouvrir d'une couche
20 dite d'oxyde de flancs. Cette oxydation permet d'arrondir les bords de la région active du futur transistor et favorise le contrôle de sa caractéristique en faible inversion.

La couche d'oxyde de flancs sert également de
25 couche d'arrêt de gravure lors de l'étape e).

La formation de prises de contact sur les régions de source et de drain ne nécessite pas d'étape supplémentaire de photolithographie. Les prises de contact sont formées, par exemple, par le dépôt
30 conforme d'une couche de métal, auto-alignée par rapport à la structure de grille, et par le polissage de cette couche de métal. L'absence d'une étape de photolithographie pour la réalisation des prises de

contact permet d'éviter les problèmes d'alignement délicats et autorise une miniaturisation des dispositifs.

Selon un autre aspect de l'invention, le
5 procédé peut aussi comporter l'élimination de la couche d'oxyde de grille mise à nu de part et d'autre de la grille lors de l'étape e) et une siliciuration auto-alignée de la couche de métal avec le film mince mis à nu par l'élimination de la couche d'oxyde de grille.
10 Grâce à cette mesure, un bon contact entre les régions de source et de drain et la couche de métal est garanti.

L'invention a également pour objet un transistor à effet de champ comprenant une source, un
15 canal et un drain formés dans une portion de film de silicium d'une structure de type silicium sur isolant (SOI), une couche d'isolation de champ entourant latéralement la portion de film de silicium, une structure de grille à flancs isolés formés au-dessus du canal, et des contacts de source et de drain ménagés
20 sur la portion de film de silicium entre la couche d'isolation de champ et la structure de grille. Conformément à l'invention, les contacts de source et de drain sont auto-alignés sur la structure de grille
25 et sur la couche d'isolation de champ et sont directement disposés contre les flancs de la structure de grille.

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va
30 suivre, donnée à titre purement illustratif et nullement limitatif, en référence aux figures des dessins annexés.

Brève description des figures

- la figure 1, déjà décrite, est une coupe schématique longitudinale d'un transistor à effet de champ MOS d'un type connu,

5 - la figure 2 est une coupe schématique d'un empilement de couches sur un substrat de type SOI, à partir duquel on réalise un transistor conformément au procédé de l'invention,

10 - la figure 3 est une coupe schématique montrant la formation d'une colonne par gravure de l'empilement de la figure 2,

15 - les figures 4 et 5 sont des coupes schématiques de l'empilement illustrant un enrobage de la colonne avec une couche de matériau isolant et l'aplanissement de la couche de matériau isolant,

 - la figure 6 est une coupe schématique de l'empilement illustrant la formation d'une couche shunt sur la structure de la figure 5,

20 - Les figures 7 et 8 sont des coupes selon un plan VI-VI, indiqué sur la figure 6, faisant un angle de 90° avec le plan de coupe des figures 1 à 6, et illustrent la fabrication d'une structure de grille,

25 - les figures 9, 10 et 11 sont des coupes de l'empilement selon le plan de coupe des figures 7 et 8 et illustrent la formation de prises de contact sur des régions de source et de drain du transistor,

 - la figure 12 est une vue en coupe d'une réalisation particulière d'un transistor conforme à l'invention.

30

Description détaillée d'un mode de mise en oeuvre de l'invention

La figure 2 montre la structure de départ pour la fabrication d'un transistor.

Le transistor est réalisé sur un substrat SOI 100 comprenant un film superficiel mince de silicium 102 solidaire d'une couche d'oxyde de silicium isolant, dite couche enterrée 104.

Le film mince 102 présente de préférence une épaisseur inférieure ou égale à 50 nm.

Une première couche d'oxyde 106 est formée par oxydation du silicium à la surface libre de la couche mince 102.

La couche 106 constitue la couche d'isolant de grille du transistor que l'on réalise.

Une couche 108 dite de matériau de grille en silicium polycristallin ou amorphe, par exemple, est déposée sur la couche d'isolant de grille 106.

Enfin, une couche de protection 110, par exemple, en nitrure de silicium, ou en oxyde est déposée sur la couche 108 de matériau de grille afin d'en recouvrir la face libre. Cette couche de protection sert ultérieurement de couche d'arrêt de polissage. L'empilement formé par les couches 106, 108 et 110 est désigné par la référence générale 112.

Un premier masque de gravure 114, représenté en trait discontinu sur la figure 2 est formé sur l'empilement 112 selon des procédés de photolithographie connus en soi.

Le masque 114 définit les dimensions de la zone active du transistor que l'on réalise.

La suite de la description se rapporte spécifiquement à la réalisation d'un seul transistor à effet de champ. Toutefois, il est possible de réaliser de façon simultanée sur le même substrat une pluralité

de tels transistors formant, par exemple, un circuit intégré. Dans ce cas, on forme sur l'empilement 112 un masque avec une pluralité de motifs semblables au motif 114 et définissant les régions actives de la pluralité
5 de transistors.

Après la formation du masque on grave les couches 110, 108, 106 de l'empilement et le film 102 du substrat 100. La couche d'oxyde enterrée 104 sert, lors de cette gravure, de couche d'arrêt.

10 Après la gravure et l'élimination du masque 114, on obtient une colonne 116 visible sur la figure 3. La colonne comporte respectivement des portions du film mince 102, de la couche de l'oxyde de grille 106, de la couche de grille 108 et de la couche de
15 protection 110. La portion de film mince 102 de la colonne 116 correspond sensiblement à la partie active du transistor.

Les flancs de la colonne 116 sont indiqués avec la référence 118.

20 Après l'élimination du masque 114, les flancs 118 sont oxydés. Cette oxydation concerne en particulier le film mince de silicium 102 et le matériau de grille 108 de la colonne 116. Lors de cette étape, la couche de protection 110 limite, dans le cas
25 de l'oxyde, et même prévient, dans le cas du nitrure de silicium, l'oxydation de la surface supérieure de couche de matériau de grille, qu'elle recouvre.

La figure 4 montre en coupe la structure obtenue. Sur cette figure, on peut noter des formes
30 caractéristiques de la colonne 116 avec les flancs oxydés.

Une première forme caractéristique est une forme en bec d'oiseau à la hauteur de la couche 106

d'oxyde de grille. Une autre forme caractéristique est un arrondi des bords inférieurs de la portion de film mince de silicium restante de la colonne 116.

Ces formes caractéristiques sont obtenues de préférence avec une oxydation à haute température et/ou à haute pression. On entend par oxydation à haute température et/ou à haute pression une oxydation ayant lieu à une température supérieure à 1000°C et une pression supérieure à 10^5 Pa. Au sujet de l'oxydation à haute pression, on peut se reporter au document "High Pressure Oxidation of Silicon in Dry Oxygen" de Liang N. Lie et al. dans Solid-State Science and Technology, Décembre 1982, pages 2828-2833.

Grâce à la forme arrondie de la portion de film mince, c'est-à-dire de la future région active du transistor, il est possible de limiter des courants de fuite du transistor en régime de faible inversion. Le contrôle des courants de fuite en régime de faible inversion, c'est-à-dire en-dessous du seuil de conduction, permet de réduire la consommation au repos du transistor.

La couche d'oxyde de flancs qui recouvre les flancs 118 de la colonne 116 est désignée par la référence 120. Son épaisseur est comprise, par exemple entre 5 et 20 nm. Une étape suivante du procédé consiste à former une couche 122 de matériau isolant électrique autour de la colonne 116 pour l'enrober. La couche 120 est représentée sur la figure 4. Le matériau isolant électrique est par exemple une couche d'oxyde (verre) dopée au phosphore du type PSG ou BPSG.

Après le dépôt de la couche 122 de matériau isolant, un traitement thermique permet sa stabilisation et son fluage.

La couche de matériau isolant (verre PSG ou BPSG) a pour fonction d'isoler mutuellement différents transistors ou composants réalisés sur le même substrat. Une autre fonction est de durcir les transistors aux rayonnements ionisants.

Un polissage mécano-chimique sélectif par rapport au nitrure de silicium, permet d'aplanir la couche 122 de matériau isolant jusque sur la couche de protection 110 en nitrure de silicium qui recouvre la couche de matériau de grille 108.

Puis, après l'élimination de la couche de protection 110 on obtient la structure vue en coupe sur la figure 5. La couche de matériau de grille 108 est mise à nu et affleure sensiblement dans le plan de la surface d'aplanissement 124 de la couche 122.

A ce stade du procédé, on peut effectuer un dopage par implantation du silicium de la couche de grille. On implante des impuretés conduisant à une conductivité de type n ou p.

Le procédé se poursuit, comme le montre la figure 6, par la formation au-dessus de la couche de matériau de grille d'une couche 126 dite de shunt. La couche de shunt déposée en pleine plaque recouvre également la surface d'aplanissement de la couche isolante 122. La couche de shunt 126 est réalisée de préférence en un polysiliciure de métal réfractaire. Elle est recouverte d'une couche d'oxyde déposé 128, non dopé. La couche de shunt permet d'améliorer la prise de contact sur la grille et d'augmenter ainsi la vitesse de fonctionnement du transistor. Cette couche, lorsqu'elle est mise en forme, peut aussi constituer une ligne d'accès pour la polarisation de la grille, telle que, par exemple, une ligne de mots.

Un deuxième masque de gravure 130 formé sur la couche d'oxyde déposé 128 définit l'emplacement et les dimensions d'une structure de grille 132 au-dessus de la région active du transistor. La gravure successive
5 de la couche d'oxyde 128, de la couche de shunt 126 et de la couche de matériau 108, avec arrêt sur la couche d'oxyde de grille 102 et sur la couche d'oxyde de flancs 120 permet d'obtenir la structure de la figure 7.

10 Il convient de noter que la figure 7 et les figures suivantes correspondent à un plan de coupe VI-VI, indiqué sur la figure 6, et qui fait un angle de 90° avec les plans de coupe des figures précédentes.

L'extension latérale des gravures selon le
15 deuxième masque 130 est limitée dans la zone située au-dessus de la portion de film mince 102 par l'oxyde de flancs 120. Les gravures selon le masque 130 permettent ainsi de dégager la structure de grille 132 qui est donc nécessairement alignée sur la portion restante de
20 film mince 102, c'est-à-dire alignée sur la future région active du transistor. La structure de grille comprend la couche de matériau de grille 108, la couche de shunt 126 et la couche d'oxyde déposé 128, mise en forme.

25 Avantageusement, après l'élimination du masque 130, le procédé est poursuivi par une oxydation des flancs 134 de la structure de grille, c'est-à-dire, en particulier, les couches de matériau de grille 108, et la couche de shunt 126. Il est possible également
30 d'effectuer directement un dépôt d'oxyde fin sur les flancs.

Pour former les régions de source et de drain du transistor, une première implantation d'ions est

effectuée dans le film mince 102 en utilisant la structure de grille 132 comme masque d'implantation. Les régions dopées formées lors de la première implantation sont représentées sur la figure 7. Et
5 indiquées par la référence 135.

Après la formation d'espaceurs latéraux 136 sur les flancs de la structure de grille et sur la couche d'oxyde de flancs 120 recouvrant la couche isolante 122, on effectue une deuxième implantation à une dose
10 plus élevée. L'implantation est effectuée avec des impuretés conduisant à une conductivité n+ ou p+ selon le type canal de transistor réalisé.

Après l'implantation on effectue un recuit et on obtient la structure représentée à la figure 8. Sur
15 cette figure les régions de source et de drain portent respectivement les références 140 et 142.

Les espaceurs latéraux 136 sont obtenus par le dépôt d'une couche qui permet d'isoler la grille des zones de contact 150 et 152, puis en attaquant cette
20 couche par une gravure anisotrope, sélective par rapport à l'oxyde sur les flancs. Avantagusement, cette couche est en nitrure de silicium. Elle peut être en oxyde mais sa sélectivité lors de la gravure des espaceurs est moins bonne. Les espaceurs latéraux 136
25 ont non seulement pour fonction de former des régions de source et de drain graduelles mais aussi de protéger ces régions au voisinage de la grille et sur le bord de prises de contact réalisées ultérieurement.

En particulier, les espaceurs 136 permettent
30 d'éviter ou de limiter une attaque latérale de la couche 122 de matériau isolant (PSG) lors d'opérations de nettoyage qui précèdent la formation de prises de contact sur les régions de drain et de source.

La formation des prises de contact sur les régions de source et de drain est précédée par l'élimination de la couche d'oxyde de grille résiduelle autour de la structure de grille, pour mettre à nu une
5 partie du film mince 102 correspondant à la source et au drain.

Lors de cette opération, les flancs oxydés de la structure de grille et l'oxyde de flancs 120 recouvrant latéralement la couche 122 de matériau
10 isolant, sont protégés par les espaceurs latéraux 136.

Une couche de métal 148, par exemple de tungstène, est ensuite formée par dépôt chimique en phase vapeur sur l'ensemble de la structure. Comme le montre la figure 9, la couche de métal 148 vient en
15 contact avec les régions 140, 142 de source et de drain mises à nu et enrobe la structure de grille 132. La technique de dépôt du métal en phase vapeur (CVD) permet d'obtenir un dépôt conforme.

Par ailleurs, avant le dépôt de la couche de métal 148, la surface libre 124 de la couche 122 de matériau isolant peut être recouverte d'une couche 125 de titane/tungstène et avantageusement un système
20 bicouche dont la composition permet d'assurer les fonctions de barrière de diffusion et de barrière de contact. Il s'agit par exemple d'une couche de Ti-W dans une composition proche de la stoechiométrie. Cette
25 couche, représentée à la figure 9, constitue une couche d'accrochage du métal et sert aussi de barrière de diffusion du métal dans l'isolant.

30 De façon avantageuse les source et drain 140, 142 sont siliciurés avant le dépôt de la couche 125 en utilisant une siliciuration sélective sur le silicium à nu. La siliciuration permet de réduire la résistance à

l'interface métal-semi-conducteur et améliorer ainsi les prises de contact sur les source et drain. Sur la figure 9 les parties siliciurées sont indiquées avec la référence 149.

5 Par la suite, comme le montre la figure 10, on procède à un polissage de la couche de métal pour l'aplanir jusqu'à la couche d'oxyde de silicium 128 de la structure de grille 132. La couche 125 est également polie à la suite.

10 Enfin, la couche de métal et la couche d'accrochage peuvent, comme le montre la figure 11, être gravées pour la mise en forme de contacts 150, 152. D'autres opérations classiques de dépôt de métaux ou d'isolants permettent de réaliser des
15 interconnexions du transistor avec un circuit intégré. Ces opérations, connues en soi, ne sont pas détaillées ici.

La figure 11 montre aussi les caractéristiques du transistor objet de l'invention.

20 Les principales caractéristiques de ce transistor sont : une région active, formée dans la couche 102, dont les bords sont arrondis, une grille 108, 132 auto-alignée sur le canal dans la région active, une région active protégée par une couche
25 d'isolation 122, et des contacts 150, 152 auto-alignés à la fois sur la grille et la couche d'isolation.

Tandis que la figure 11 illustre la réalisation d'un transistor à structure symétrique, la figure 12 montre un transistor, conforme à l'invention, pour
30 lequel la structure de grille 132 n'est pas centrée par rapport aux flancs de la couche d'isolation 122.

La grille est cependant toujours parfaitement alignée par rapport au canal de la région active. Sur

les figures 11 et 12, le canal est indiqué avec la référence 103.

Sur cette figure, il apparaît que les prises de contact 150, 152, formées sur les sources et drain 140, 142, sont auto-alignés sur la grille et la zone active et sont disposées directement contre la structure de grille, en contact avec les espaceurs latéraux. Les prises de contact 150, 152 constituent en quelque sorte des source et drain surélevés et métallisés.

10 Finalement, le procédé et le transistor de l'invention permettent d'accroître la densité d'intégration et, comme indiqué précédemment, de faire l'économie d'une étape de masquage coûteuse et critique pour la réalisation des contacts sur les source et
15 drain.

REVENDICATIONS

1. Procédé de réalisation d'un transistor sur un support de type SOI comprenant une couche d'oxyde de silicium (104), dite couche d'oxyde enterrée, et un
5 film mince (102) de silicium recouvrant la couche d'oxyde enterrée (104), le procédé comprenant les étapes successives suivantes :
- a) formation sur le film mince de silicium (102) d'un empilement (112) comprenant, dans l'ordre, une
10 couche d'isolant de grille (106), et une couche de matériau de grille (108),
 - b) formation sur l'empilement d'un premier masque de gravure (114) selon un motif correspondant à une région active du transistor,
 - 15 c) gravure de la couche de matériau de grille (108), de la couche d'isolant de grille (106) et du film mince (102), pour former une colonne (116) avec des premiers flancs (118) définis selon le motif du premier masque de gravure,
 - 20 d) formation d'une couche (122) de matériau isolant électrique autour de la colonne (118) et aplanissement de cette couche avec arrêt sur la colonne,
 - e) gravure de la couche de matériau de grille (108) de
25 la colonne (118) selon un deuxième masque (130) pour former une structure de grille (132) avec des deuxièmes flancs (134),
 - f) isolation électrique des deuxièmes flancs (134) de la structure de grille (132),
 - 30 g) formation de régions de source (140) et de drain (142) dans le film mince (102) par implantation d'impuretés,

h) formation auto-alignée sur la structure de grille de prises de contact (150, 152), sur les régions de source et de drain.

2. Procédé selon la revendication 1, caractérisé en ce qu'il comporte en outre lors de l'étape a) la formation d'une couche de protection (110) au-dessus de la couche de matériau de grille (108), la couche de protection étant également gravée lors de l'étape c), et formant une couche d'arrêt lors de aplanissement de la couche de matériau isolant (122) à l'étape d) et la couche de protection étant éliminée après l'étape d).

3. Procédé selon l'une des revendications 1 ou 2, caractérisé en ce que le premier masque de gravure (114) est éliminé avant l'étape d).

4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'il comporte en outre, avant l'étape d) une oxydation des flancs (118) de la colonne formée à l'étape c), pour les recouvrir d'une couche (120) dite d'oxyde de flancs.

5. Procédé selon la revendication 4, caractérisé en ce que la gravure de l'étape e) est effectuée avec arrêt sur les couches d'oxyde de grille (106) et d'oxyde de flancs (120).

6. Procédé selon la revendication 4, caractérisé en ce que l'oxydation des flancs est effectuée à haute température et/ou à haute pression.

7. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comporte en outre après l'étape d) et la mise à nu du matériau de grille (108), la formation d'une couche (126) dite de shunt recouvrant la couche de matériau isolant électrique (122) et venant en contact avec le

matériau de grille (108), la couche de shunt étant également gravée lors de l'étape e) selon le deuxième masque de gravure (130) et des deuxièmes flancs de la couche de shunt, formés lors de l'étape e) étant également isolés électriquement lors de l'étape f).

8. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la formation de prises de contact, lors de l'étape h), comporte le dépôt auto-aligné d'une couche de métal (148) et le polissage de cette couche de métal (148).

9. Procédé selon la revendication 8, caractérisé en ce qu'il comporte l'élimination de la couche d'oxyde de grille (106) mise à nue de part et d'autre de la structure de grille (132) lors de l'étape e) et une siliciuration auto-alignée de la couche de métal (148) avec le film mince (102) mis à nu par l'élimination de la couche d'oxyde de grille (106).

10. Procédé selon la revendication 8, caractérisé en ce que la couche de métal (148) est déposée selon une technique de dépôt chimique en phase vapeur (CVD).

11. Procédé selon la revendication 8, caractérisé en ce qu'il comporte la formation d'une couche (125) d'accrochage et/ou de barrière de diffusion sur la couche de matériau isolant (122) avant le dépôt de la couche de métal (148).

12. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la formation des régions de source et de drain comporte :

- une première implantation d'impuretés dopantes à faible dose,
- la formation d'espaceurs latéraux (136) sur les deuxièmes flancs de la grille et, le cas échéant, sur

la couche de shunt, ainsi que sur les flancs de la couche de matériau isolant (122),

- une deuxième implantation d'impuretés dopantes à une dose supérieure à la dose de la première implantation.

13. Procédé selon la revendication 12, caractérisé en ce que la formation des espaceurs latéraux comporte le dépôt d'une couche de nitrure de silicium puis la gravure anisotrope de cette couche.

14. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la couche de matériau (122) isolant électrique formée lors de l'étape d) est réalisée en un matériau choisi parmi le PSG et le BPSG.

15. Procédé selon la revendication 1, caractérisé en ce qu'il comprend en outre la formation de lignes d'interconnexion reliées aux source et drain du transistor par l'intermédiaire des prises de contact.

16. Procédé selon la revendication 2, caractérisé en ce que la couche de protection (110) est réalisée en nitrure de silicium.

17. Procédé selon la revendication 2, caractérisé en ce qu'on effectue un dopage de la couche de grille (108) après l'élimination de la couche de protection.

18. Procédé selon la revendication 1, caractérisé en ce que la couche de grille (108) est réalisée en un matériau choisi parmi le silicium polycristallin et le silicium amorphe.

19. Transistor à effet de champ comprenant une source (140), un canal (103) et un drain (142) formés dans une portion de film (102) de silicium d'une

structure de type silicium sur isolant (SOI), une couche (122) d'isolation de champ entourant latéralement la portion de film (102) de silicium, une structure de grille (132) à flancs isolés formés au-dessus du canal, et des contacts (150, 152) de source et de drain ménagés sur la portion de film (102) de silicium entre la couche d'isolation de champ (122) et la structure de grille (132), caractérisé en ce que les contacts (150, 152) de source et de drain sont auto-alignés sur la structure de grille (132) et sur la couche d'isolation de champ (122) et sont directement disposés contre les flancs de la structure de grille.

20. Transistor selon la revendication 19, caractérisé en ce que la structure de grille comporte un empilement comprenant une couche d'isolant de grille (106) et une couche de matériau de grille (108), et des espaceurs latéraux (136) entourant la grille et formant les flancs de la structure de grille.

21. Transistor selon la revendication 20, caractérisé en ce que l'empilement comporte en outre une couche dite de shunt (126), formant une prise de contact sur la grille (108), la couche de shunt étant également entourée par les espaceurs latéraux (136).

1/5

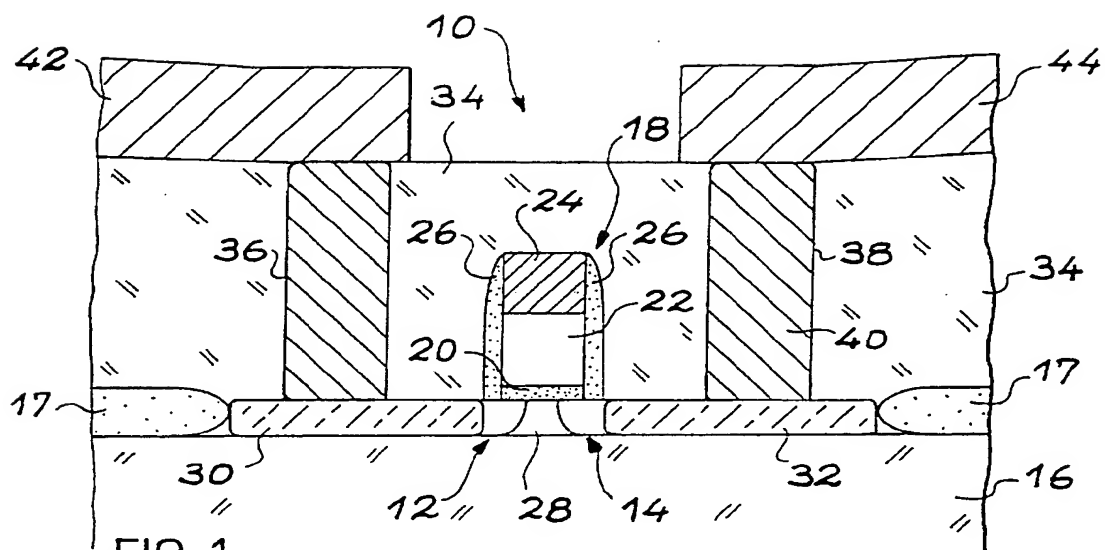


FIG. 1

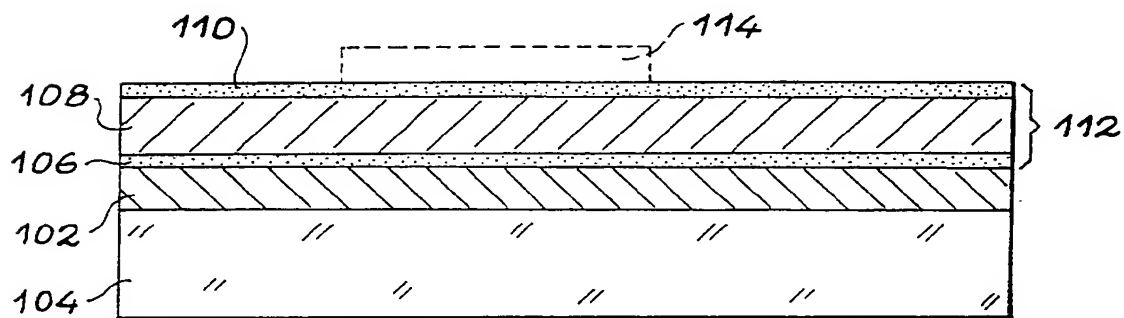


FIG. 2

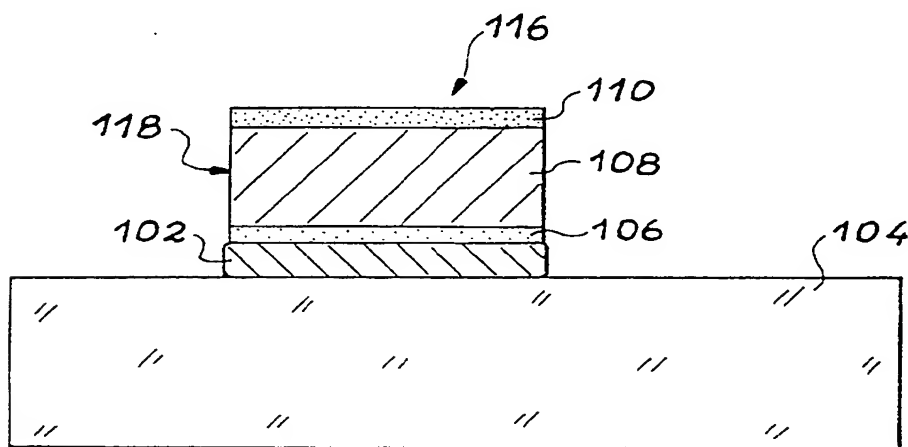


FIG. 3

FIG. 4

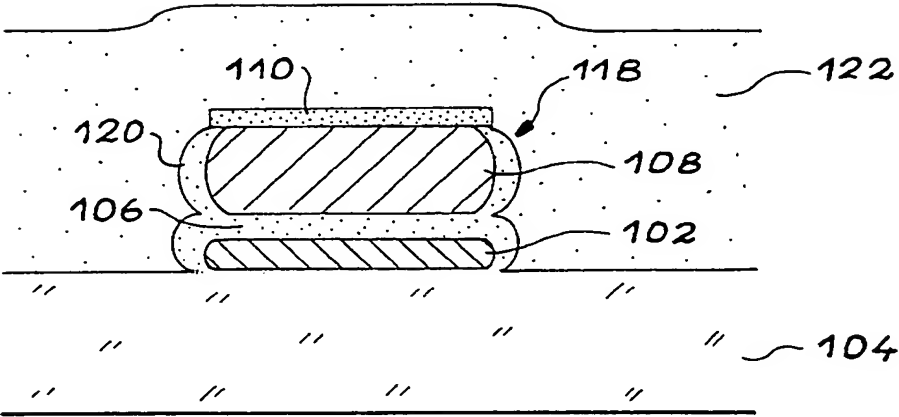


FIG. 5

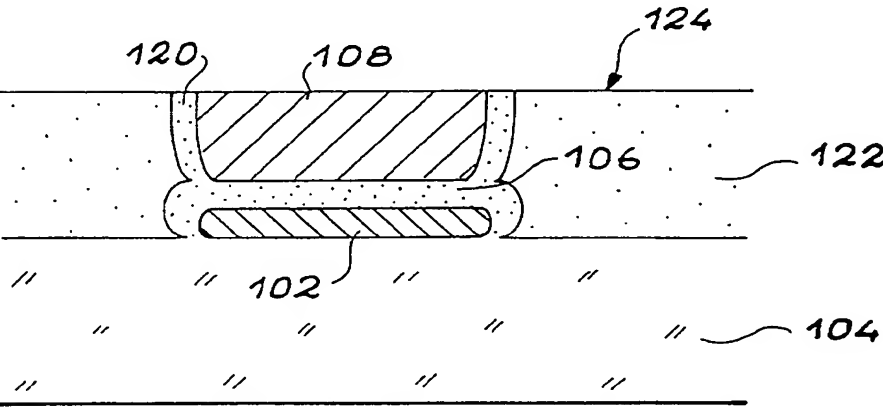
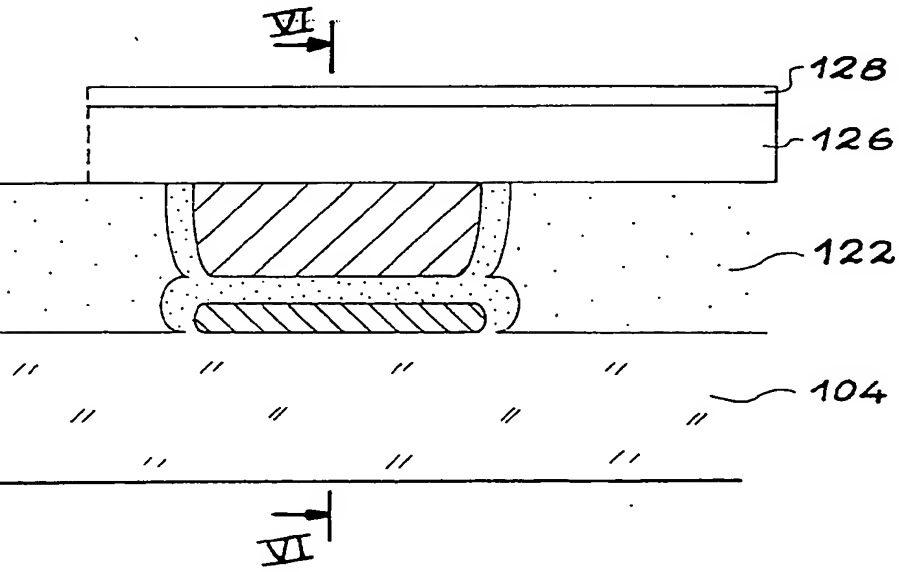


FIG. 6



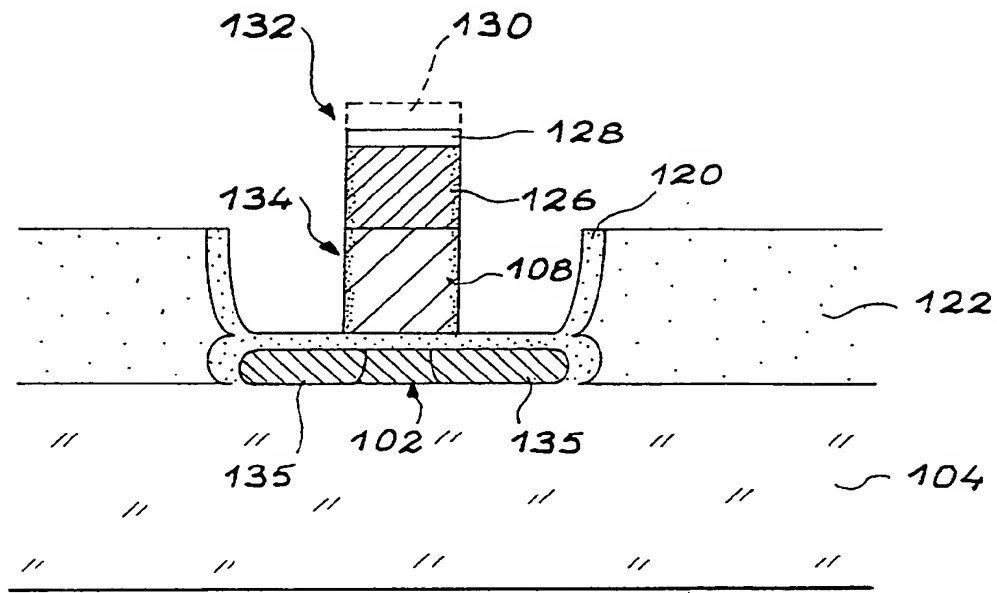


FIG. 7

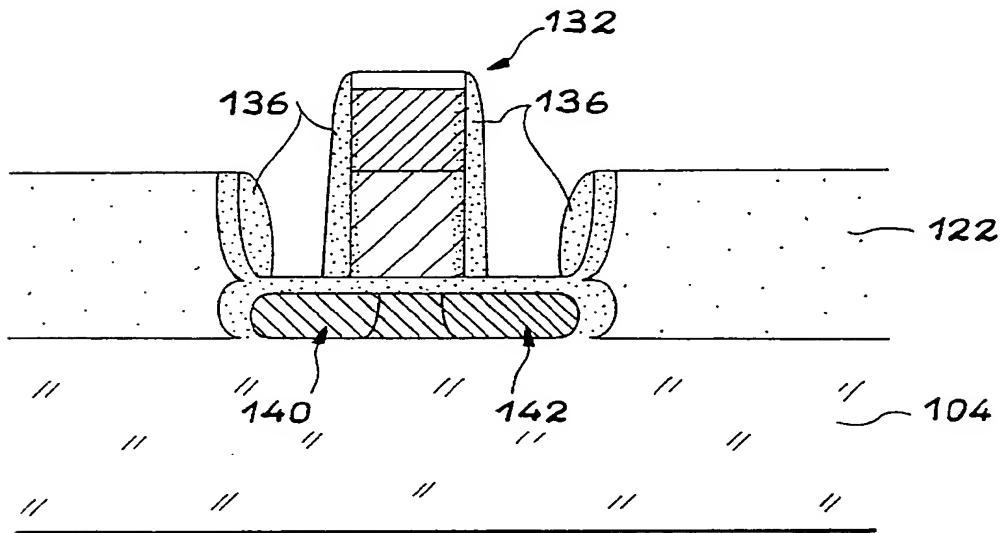


FIG. 8

4/5

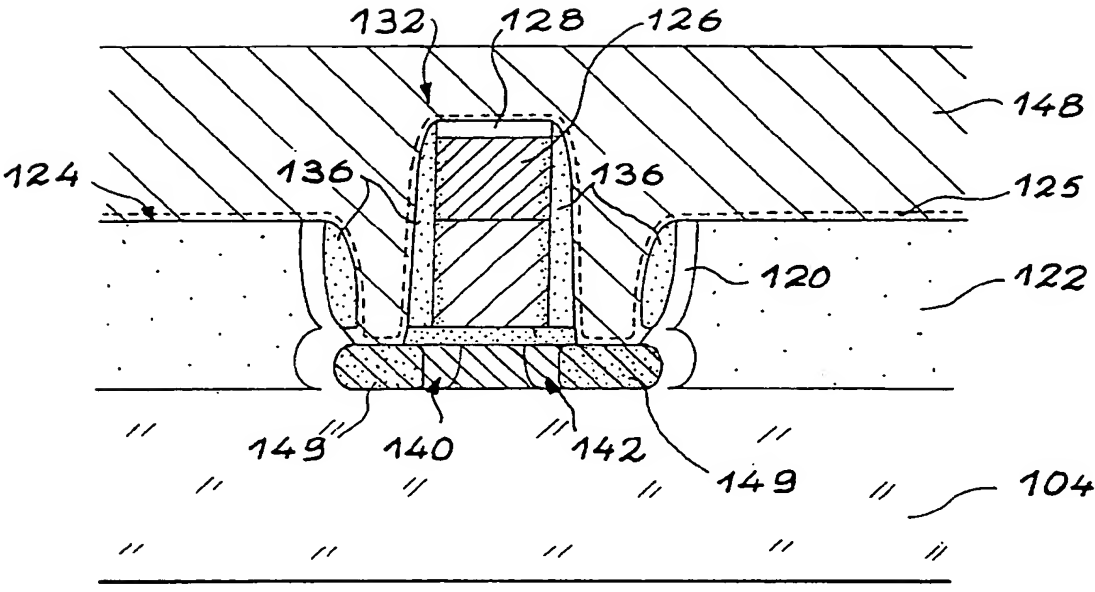


FIG. 9

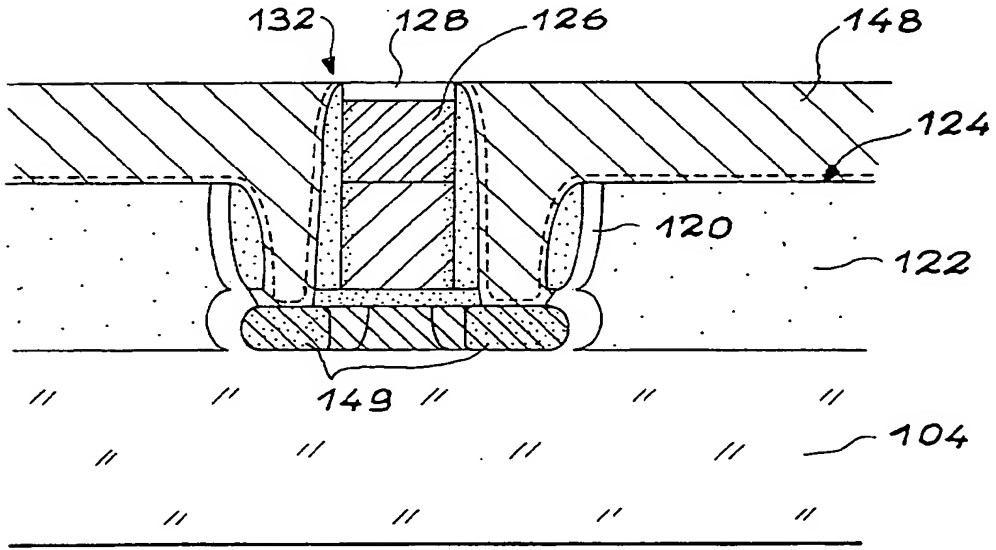


FIG. 10

5/5

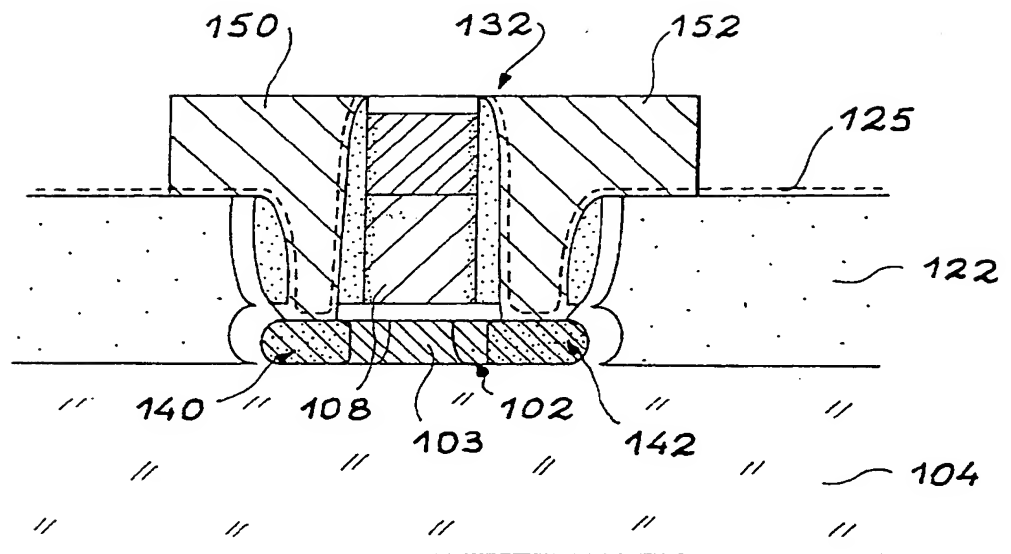


FIG. 11

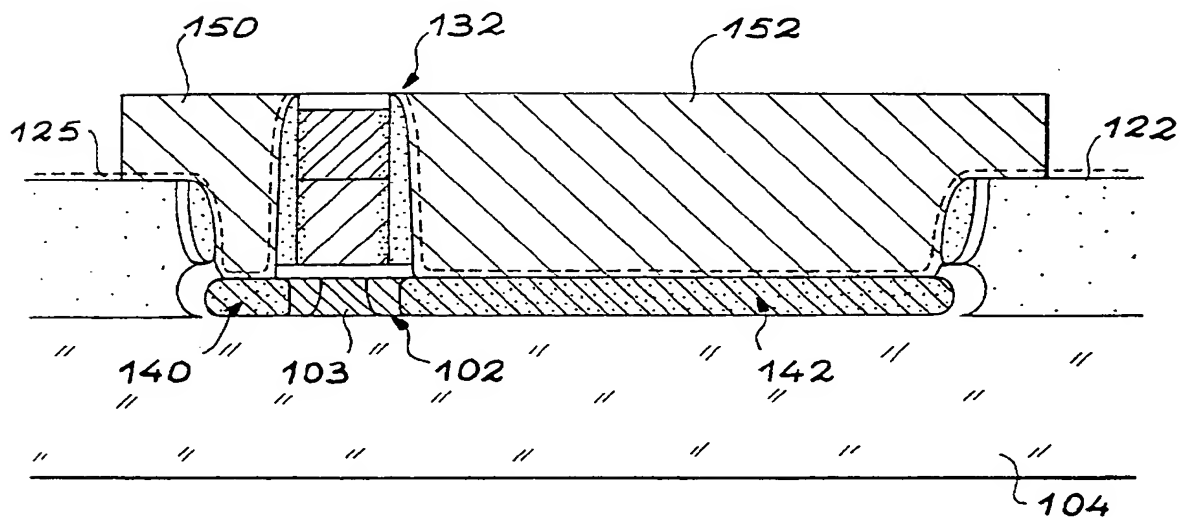


FIG. 12

RAPPORT DE RECHERCHE
PRELIMINAIREétabli sur la base des dernières revendications
déposées avant le commencement de la recherche

2750534

N° d'enregistrement
nationalFA 532389
FR 9608007

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
Y	US 5 482 871 A (TEXAS INSTRUMENTS INC.) 9 Janvier 1996	1-3,7,8, 15-18
A	* colonne 4, ligne 1 - colonne 7, ligne 32; figures 1-8 *	12

Y	PATENT ABSTRACTS OF JAPAN vol. 018, no. 340 (E-1569), 27 Juin 1994 & JP 06 085259 A (FUJITSU LTD), 25 Mars 1994,	1-3,7,8, 15-18
X	* abrégé; figures 1,2,7 *	19,20

A	PATENT ABSTRACTS OF JAPAN vol. 095, no. 004, 31 Mai 1995 & JP 07 014916 A (NEC CORP), 17 Janvier 1995,	1-3,7
	* abrégé; figures 1,2 *	

X	SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS, HONOLULU, JUNE 7 - 9, 1994, no. SYMP. 14, 7 Juin 1994, INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS, page 33/34 XP000498570 HWANG J M ET AL: "ULTRA-THIN FILM SOI/CMOS WITH SELECTIVE-EPI SOURCE/DRAIN FOR LOW SERIES RESISTANCE, HIGH DRIVE CURRENT" * figure 1 *	19-21

		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		H01L
Date d'achèvement de la recherche		Examineur
21 Avril 1997		Gélébart, J
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ----- & : membre de la même famille, document correspondant</p>		

1
EPO FORM 1503 01.82 (PwC13)

THIS PAGE BLANK (USPTO)

52